

一种用于无人机的改进 RC-LDPC 码及实现

赵旦峰, 王艺霖

(哈尔滨工程大学信息与通信工程学院, 哈尔滨 150001)

摘要: 针对无人机应用环境复杂化、通信要求多样化的问题, 提出一种基于渐进边增长 (progress edge growth, PEG) 算法的码率兼容低密度奇偶校验 (rate-compatible low-density parity-check, RC-LDPC) 码的改进构造法, 并通过此构造法设计可涵盖多个码率的校验码。仿真结果表明, 该矩阵在实现码率兼容的同时, 其性能优于参数相近条件下的单一码率的传统 QC-LDPC。针对该码型, 设计一种通过调用随机存储器 RAM 的编码器, 该架构可以减少无人机上的资源使用, 同时有效实现多码率多码长的切换。最后, 采用 Verilog HDL 硬件描述语言在 Cyclone IV 系列 FPGA 芯片上实现了编码器。综合结果表明, 该编码架构在有效减少循环移位存储器使用的同时有效降低了资源占比, 可以满足无人机的资源使用要求。

关键词: 信息处理技术; 码率兼容低密度奇偶校验; 渐进边增长; 现场可编程门阵列 (FPGA)

中图分类号: TN911.22 文献标识码: A 文章编号: 1674-2850(2017)16-1799-06

An improved RC-LDPC code for UAV and its implementation

ZHAO Danfeng, WANG Yilin

(College of Information and Communication Engineering, Harbin Engineering University,
Harbin 150001, China)

Abstract: In order to solve the problem of complexity in the application environment and the requirements of communication on UAV, an improved construction of rate-compatible low-density parity-check (RC-LDPC) codes based on progress edge growth (PEG) is proposed, and a code which can cover several rates is designed. The simulation result shows that this code covers multi-rates, and the performance of this code is better than other traditional QC-LDPC codes with single rate. An encoder based on RAM is designed for the type of this code. The structure of encoder can reduce the use of source in the UAV and its implementation of the encoder is accessible to cover multi-rates and multi-flames. The encoder is implemented on the FPGA chip of Cyclone IV with Verilog HDL language. The results show that the encoder reduces the application of the cyclic shift memory and the occupancy of the chip resource at the same time, and it could reach the requirement of an UAV resource.

Key words: information processing technology; rate-compatible low-density parity-check; progress edge growth; field programmable gate array (FPGA)

0 引言

无人机具有体积小、成本低、便于携带、机动性好、安全性高、受地域环境限制小等优点, 日渐被广泛应用于电子执法、安防反恐、电力巡线、森林防火等监测领域^[1], 与其他监测手段相互补充, 逐步建立真正的全时空立体观测模式。而随着无人机承载的任务越来越多样化, 使用环境也越来越多样化, 导致传输速率与传输条件多样性日益增长, 使自适应时变的信息传输特性成为未来通信系统所必须具备的功能。在这一发展趋势下, 要求信道编码在保证性能的条件下必须实现对多种码率的兼容。对于这个

要求,目前通行的解决方案有两种,要么采用多对编译码器,占用更多资源;要么对信道编码进行删余处理,损失过多性能,无论哪种方法都不能很好地解决无人机通信需求问题。因此有必要找到一种能够较好地兼顾多码率性能以及硬件资源占用的码率兼容的信道编码。RC-LDPC 码的发展,给这个问题带来了较好的解决方案。

1 RC-LDPC 码介绍

研究实现适用于无人机的 RC-LDPC 码离不开其自身的发展。码率兼容功能的提出可以追溯到 20 世纪 80 年代末,由于在时变信道中,通信系统常常需要根据所估计的信道状态信息(channel state information, CSI)调整信道编码的码率,在 CSI 较为可靠时可适当提高码率,反之则降低码率,这样就可以在保证性能的同时提高系统吞吐量。早期的码率兼容码主要使用在 BCH 码^[2]和卷积码^[3]上,然而这两类码型不具备靠近香农限的性能。直到 LI 等^[4]在 2002 年首次提出 RC-LDPC 码,并从吞吐量的角度证实了 RC-LDPC 码在混合自动重传请求(hybrid automatic repeat request, HARQ)系统中距离容量限仅有 1 dB,从而引发了人们对 RC-LDPC 码的广泛研究。

自 2002 年以来,各种不同类型的 RC-LDPC 码相继出现,根据其结构特点可分为三大类:删余型、扩展型和缩短型。

1.1 删余型 RCP-LDPC 码

删余型是目前应用最为广泛的码率兼容形势,在 BCH 码、卷积码和 Turbo 码中均有不少应用,它们与 RCP-LDPC 码中的应用思想也基本相同,即首先选取一个性能优秀的低码率母码,然后通过删余码字中的校验位,达到高码率。删余图样的选择对有限码长的 RCP-LDPC 码十分重要。早期的随机删余方式^[4-5]容易产生大量陷阱集,致使性能恶化^[6],文献^[6]引入的“恢复级别”概念,可以用来指导 RCP-LDPC 码的删余图样设计,但仍然存在码率升高不够的问题。

1.2 扩展型 RCE-LDPC 码

扩展型是为进一步提升 RC-LDPC 码兼容码率产生的,与 RCP-LDPC 构造思想相反,RCE-LDPC 的设计方法可以分为两类:矩阵扩展和校验节点分裂。

矩阵扩展方式,首先选择一个高性能的高码率母码,然后在此基础上,每当需要降低码率时,增加相应的行与列,从而得到较低的码率。为保持 LDPC 码的特点,其扩展后的校验矩阵仍为稀疏矩阵;扩展后矩阵右上角全为 0,是为了不破坏原矩阵每一行的非相关性;同时左下角的“稀疏矩阵”也需保持与原矩阵之间的非相关性。对于扩展矩阵具有不同的构造方式,如文献^[4],指定列重为 3,且扩展后矩阵具有双对角线;文献^[5]还引入了 PEG 算法及均匀化行重的思想,从而保证码型的性能。

1.3 缩短型 RCS-LDPC 码

缩短型与前两者最大的区别在于,其操作对象是信息节点。其实现思想是,发送端的编码器将部分信息位设置为固定值(0 或 1),接收端的译码器相应认为这些信息位已知,通过减少信息位数量实现码率的降低,而如果所传信息超过了信息位长度,就将信息截段分次送入编码单元。这样使真正参与编译码的信息位长度变短,而校验位长度仍然不变,用传输的有效性换取可靠性。

上述 3 种类型的 RC-LDPC 码有各自的优缺点及适用范围,如表 1 所示。

表 1 不同类型 RC-LDPC 码的比较

Tab. 1 Comparison of different types of RC-LDPC codes

类型	优点	缺点	码率兼容趋势
RCP-LDPC	只存储 1 个校验矩阵	被删除的节点仍会参与编码	从低码率母码向高码率兼容
RCE-LDPC	只在码率降低时才会加入新增校验节点进行编码，减少浪费	对于不同的码率可能要存储不同的校验矩阵	从高码率母码向低码率兼容
RCS-LDPC	只存储 1 个校验矩阵	可能要对信息进行预分段处理	从高码率母码向低码率兼容

2 PEG-RC-LDPC 码的构造与性能分析

为保证无人机在高码率下的通信性能，同时便于硬件实现，本文采用从高码率母码向低码率兼容的方式实现多码率，但不同于缩短型 RCS-LDPC 码，在构造好高码率母码后，继续采用 PEG 算法^[7~8]，通过增加矩阵内的大环，继续提升母码的译码性能。其构造步骤如下：

第一步，采用 PEG 算法构造高码率的母矩阵；

第二步，搜索母矩阵中的短环，统计出每一系列短环的数量，按照环数降序排列，并存储其中短环所包含的列标；

第三步，利用 PEG 算法，向所包含列标不同的短环添加新边，使之构成较大的环；

第四步，搜索新生矩阵中的短环，重复第一步，

直到新生矩阵码率达到要求码率为止；

第五步，通过对新构造区域的移位排序，进一步消减短环数量。

为更好地对上述 PEG-RC-LDPC 码的性能进行研究，以信息序列长为 288 bits，码率涵盖 7/8、3/4、2/3、1/2，PEG-RC-LDPC 矩阵为例，以 3/4 码率为母矩阵，进行扩展构造，并以 1/2 码率的性能与几个相近参数的 QC-LDPC 码进行对比研究。各项参数设置如下：编码器采用二进制相移键控（binary phase shift keying, BPSK）调制，信道采用加性高斯白噪声（additive white Gaussian noise, AWGN），均值为零，方差 $\sigma=N^2$ ，最大迭代次数为 25 次，其性能仿真图如图 1 所示。与文献[9]中同参数 LDPC 码性能相比，本文构造法构造出的 LDPC 码性能更好。

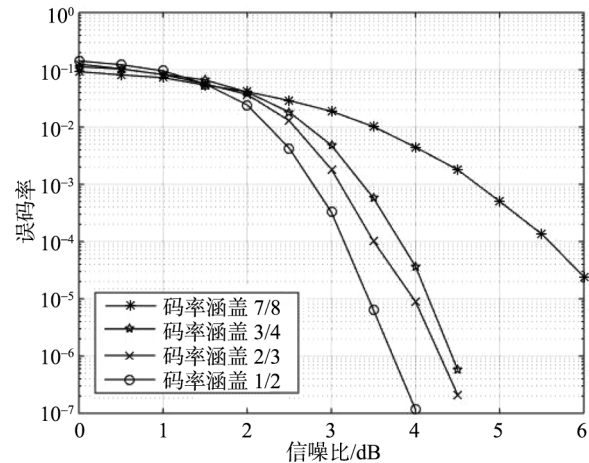


图 1 采用 PEG-RC-LDPC 算法构造的信息帧长 288 bits 曲线族性能

Fig. 1 Performance of 288 bits information curves family constructed by PEG-RC-LDPC

3 RC-LDPC 编码器的硬件实现与性能分析

假定输入的信息序列为 x ，编码后得到的校验序列为 p ，编码后序列为 C ，校验矩阵为 $H = [H_1 \ H_2]$ ，且 $HC^T = 0$ ，因此可以得到

$$H \cdot C^T = [H_1 \ H_2] \cdot \begin{bmatrix} x^T \\ p^T \end{bmatrix} = H_1 \cdot x^T + H_2 \cdot p^T = 0. \quad (1)$$

由此可以推导出

$$p \cdot H_2^T = x \cdot H_1^T. \quad (2)$$

将信息序列 \mathbf{x} 与 \mathbf{H}_1^T 相乘结果记作 \mathbf{q} ，由于校验矩阵为 QC-LDPC 码校验矩阵，可将信息序列 \mathbf{q} 及校验序列 \mathbf{p} ，按循环块长度改写为 $\mathbf{q} = (q_1, q_2, \dots, q_m)$ 及 $\mathbf{p} = (p_1, p_2, \dots, p_m)$ ，此时，式 (2) 可改写为

$$(p_1, p_2, \dots, p_m) \cdot (h_{21}^T, h_{22}^T, \dots, h_{2m}^T) = (q_1, q_2, \dots, q_m). \quad (3)$$

由式 (3) 进一步推导可得

$$\begin{aligned} p_1 &= q_1 \oplus p_1 \oplus \mathbf{p}h_{21}^T; \\ p_2 &= q_2 \oplus p_2 \oplus \mathbf{p}h_{22}^T; \\ &\vdots \\ p_m &= q_m \oplus p_m \oplus \mathbf{p}h_{2m}^T. \end{aligned} \quad (4)$$

又因为 \mathbf{H}_2 为满秩下三角方阵，且主对角线均为 1，因此各项中的 $p_i \oplus \mathbf{p}h_{2i}^T$ 在编码器中可以转换为一个关于校验序列 \mathbf{p} 前 $i-1$ 项的模 2 的累加器，故将编码器的编码过程划分为两个阶段，第一阶段是信息序列 \mathbf{x} 与 \mathbf{H}_1^T 相乘，计算得到中间序列 \mathbf{q} 并进行存储；第二阶段是计算中间序列 q_i 与 $p_i \oplus \mathbf{p}h_{2i}^T$ 和的结果，即求出校验序列 \mathbf{p} 。

为进一步降低编码器对于片上资源的占用，减少异或门 (exclusive OR, XOR) 阵列及矩阵存储占用的资源，编码器可以采用基于 XOR 阵列与 RAM 相结合的编码架构，如图 3 所示。

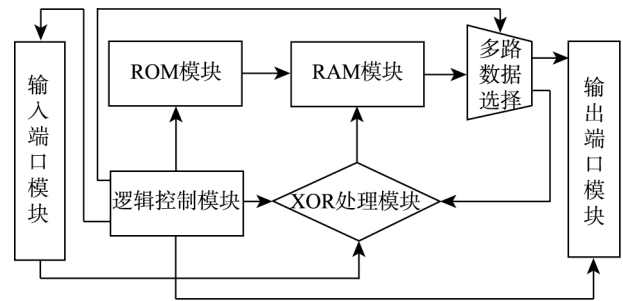


图3 编码器硬件架构图

Fig. 3 Encoder hardware architecture

3.1 计算信息序列 \mathbf{x} 与 \mathbf{H}_1^T 的乘积

由于采用准循环校验矩阵，循环块大小为 $b \times b$ ，根据循环块的循环特性可知，当确定矩阵内任意一个非零循环块 $\mathbf{A}_{i,j}$ 的首行 (或首列) 偏移量 $a_{i,j}$ 后，该循环块的结构即被确定，为方便讨论编码器计算单元设计，这里采用固定首列偏移量，其中 $0 \leq a_{i,j} \leq b$ 。

令 $\mathbf{x} = (x_1, x_2, \dots, x_k)$ 及 $\mathbf{H}_1 = (h_{11}, h_{12}, \dots, h_{1k})$ ，根据之前推导得到的 $\mathbf{q} = \mathbf{x} \cdot \mathbf{H}_1^T$ ，可以得到 $\mathbf{q}^T = \mathbf{H}_1 \cdot \mathbf{x}^T$ 的另一种等价关系：

$$x_1 \times h_{11} \oplus x_2 \times h_{12} \oplus \dots \oplus x_k \times h_{1k} = q^T. \quad (5)$$

由此不难看出， \mathbf{q}^T 的求解可以通过对校验矩阵 \mathbf{H}_1 中的各列与相应的信息位的乘积求和得到，这样就可以只通过一个 RAM 块完成 XOR 处理模块的第一阶段任务。

3.2 校验序列 \mathbf{p} 的产生

根据式 (4) 得出的结论，不妨假定 \mathbf{H}_2^T 中第 j 行第 i 列的元素为 $b_{i,j}$ ， $1 \leq i \leq m$ ， $1 \leq j \leq m$ ，那么 $h_{2i}^T = (b_{i,1}, b_{i,2}, \dots, b_{i,i-1}, 1, 0, \dots, 0)^T$ ，由此可以将式 (4) 等价改写为

$$\mathbf{p}_i^T = \begin{cases} \mathbf{q}_i^T, & i = 0, \\ \mathbf{q}_i^T \oplus b_{i,1} \times \mathbf{p}_1^T \oplus b_{i,2} \times \mathbf{p}_2^T \oplus \dots \oplus b_{i,i-1} \times \mathbf{p}_{i-1}^T, & 0 < i \leq m. \end{cases} \quad (6)$$

通过对比生成的式 (5) 和式 (6)，不难看出，同样可以采用与第一阶段近似的方法完成第二阶段校验序列 \mathbf{p} 的产生，而且，由于 p_m 的产生只与 q_m 及 $(q_1, q_2, \dots, q_{m-1})$ 有关，因此在计算产生 p_m 时，对

$(q_1, q_2, \dots, q_{m-1})$ 进行数据覆盖对之后校验序列生成没有影响，因此，XOR 处理模块在两个阶段可以调用同一块 RAM 区，这样也可以减少部分资源的占用。

3.3 多码率与多码长的实现

由于编码器采用向下兼容码率的方式构造码率兼容矩阵，也就是说，编码是在一个完整的大矩阵上实现的，因此，对于多码率及多码长的实现较为便捷，只需将需要使用的码率及码长设置到逻辑控制单元，便可以灵活实现多码率及多码长。而且，由于编码器中矩阵调用是通过 ROM 地址查询实现的，故编码器还可以进一步拓展成多矩阵调用方式，由此可以进一步拓展编码器的码率及码长的覆盖范围。

下面仅以调用一个码率兼容矩阵为例，简述其实现方式。多码长的实现，根据式 (5) 可以得出，中间序列 q^T 的产生仅与信息序列 x^T 及校验矩阵 H_1 有关，也就是根据信息序列 x^T 的长度，控制与之相匹配并计算校验矩阵 H_2 中的列数，即可得到多个信息序列长度的编码器；而多码率的实现，类似可以根据式 (6) 得到，只需要在产生校验序列 p 时，按照相应码率所需的校验列长，提前结束 XOR 处理模块的计算，就可以产生高码率所需的校验序列。XOR 处理模块示意图如图 4 所示。

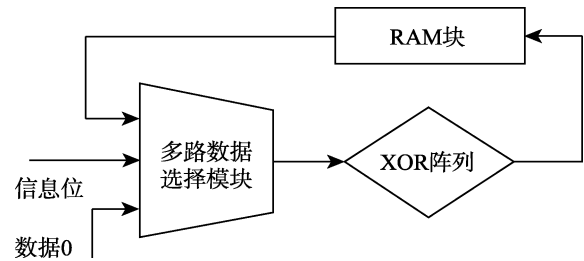


图 4 XOR 处理模块示意图
Fig. 4 Diagram of XOR processing module

3.4 编码器的性能分析

与传统的 QC-LDPC 码编码器相比，基于本文的编码器通过调用 ROM 及 RAM 进行编码并输出，大大减少了移位寄存器及 XOR 阵列对于资源的占用，特别是不需要生成校验矩阵的生成矩阵，仅需要对校验矩阵中校验序列对应的矩阵进行转置即可，在降低硬件复杂度的同时提高了编码效率。

在 QuartusII 13.1 下，在 Cyclone IV 系列芯片上采用 Verilog HDL 语言，设计用于 24 bits 及 36 bits 信息序列长、涵盖 1/2、2/3、3/4 码率的编码器，由于大量调用 Block RAM 资源，大大减少了对于逻辑资源类的占用，有效减少了资源占比，占用情况如表 2 所示。

表 2 信息序列长 36 bits 的编码器核心编码单元资源占用表

Tab. 2 Unit resource occupancy table of encoder core coding with information sequence length of 36 bits

资源类型	数量/个	占比
组合功能总计	587	<1%
专用逻辑寄存器	167	<1%

4 结论

本文给出了一种用于无人机的 RC-LDPC 码构造方法，通过该方法可以在保证具有较好性能的同时，构造出具有下三角结构、兼容多个码率及码长、且易于硬件实现的 RC-LDPC 码。本文还针对该码提出了一种通过调用 RAM 的编码器架构。与之前基于移位寄存器的编码器相比，该编码器架构可以有效减少硬件资源的占用，同时可以较好地实现多码长及多码率的兼容性，而且，由于采用 ROM 存储校验矩阵，为多矩阵的复用提供了较好的实现基础。这为今后无人机在多传输条件及多传信需求下的广泛应用提供了可能性。

[参考文献] (References)

- [1] 朱铁林, 秦凡, 杨晨. 无人机测控传输中 SCCPM 优化设计[J]. 飞行器测控学报, 2014, 33 (6): 480-484.
ZHU T L, QIN F, YANG C. Optimization design of SCCPM in UAV telemetry & control transmission[J]. Journal of Spacecraft TT & C Technology, 2014, 33(6): 480-484. (in Chinese)

-
- [2] LIN S, YU P S. A hybrid ARQ scheme with parity retransmission for error control of satellite channels[J]. IEEE Transactions on Communications, 1982, 30(7): 1701-1719.
- [3] HAGNAUER J. Rate-compatible punctured convolutional codes (RCPC codes) and their applications[J]. IEEE Transactions on Communications, 1988, 36(4): 389-400.
- [4] LI J, NARAYANAN K R. Rate-compatible low density parity check codes for capacity-approaching ARQ scheme in packet data communications[C]//International Conference on Communications, Internet, and Information Technology. St. Thomas: IASTED/ACTA Press, 2002: 201-206.
- [5] YAZDANI M R, BANTHASHEMI A H. On construction of rate-compatible low-density parity-check codes[J]. IEEE Communications Letters, 2004, 8(3): 159-161.
- [6] HA J, KIM J, KLINC D, et al. Rate-compatible punctured low-density parity-check codes with short block lengths[J]. IEEE Transactions on Information Theory, 2006, 52(2): 728-738.
- [7] 张建斌. 基于 PEG 算法的准循环 LDPC 码构造研究[J]. 电子器件, 2012, 35 (6): 647-651.
ZHANG J B. Research on construction of Quasi-Cyclic LDPC codes based on PEG algorithm[J]. Chinese Journal of Electron Devices, 2012, 35(6): 647-651. (in Chinese)
- [8] XIAO H, BANTHSHEMI A H. Improved progressive-edge-growth (PEG) construction of irregular LDPC codes[C]//Global Telecommunications Conference. New York: IEEE, 2004: 489-492.
- [9] 卢鑫. IEEE 802.16e 中的 QC-LDPC 码分析[J]. 深圳信息职业技术学院学报, 2009, 7 (2): 5-8.
LU X. Analysis of QC-LDPC codes in IEEE 802.16e[J]. Journal of Shenzhen Institute of Information Technology, 2009, 7(2): 5-8. (in Chinese)